

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04261065 A**

(43) Date of publication of application: **17.09.92**

(51) Int. Cl. **H01L 29/784**

(21) Application number: **03009159**

(22) Date of filing: **29.01.91**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **TOMINAGA SHUICHI
HARADA MANA**

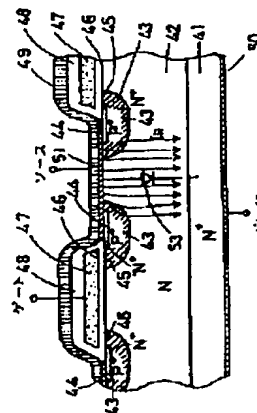
(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To provide a semiconductor device incorporated with a diode which requires no life time control for shortening an inverse recovery time and moreover causes no hindrance for the quality of a withstand voltage too.

CONSTITUTION: In a power switching device, on the surface of an N drift region 42 of a first conduction type, a barrier metal 51 is formed. Thereby, a Schottky junction part is formed. Also, the barrier metal 51 is characterized in that it is formed at the position where it is opposed to a P well region 43 of a second conduction type, which is formed selectively on the surface of the N drift region 42. Obtained is an effect that there is no necessity of mounting on the outside of a semiconductor device a fly-wheel diode for making a circulating current caused in the event of an inductive load flow.

COPYRIGHT: (C)1992,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-261065

(43) 公開日 平成4年(1992)9月17日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/784		9168-4M	H 0 1 L 29/78	3 2 1 S
		9168-4M		3 2 1 J

審査請求 未請求 請求項の数1(全 7 頁)

(21) 出願番号 特願平3-9159

(22) 出願日 平成3年(1991)1月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 富永 修一

福岡市西区今宿東1丁目1番1号 三菱セ

ミコンエンジニアリング株式会社内

(72) 発明者 原田 眞名

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(74) 代理人 弁理士 高田 守 (外1名)

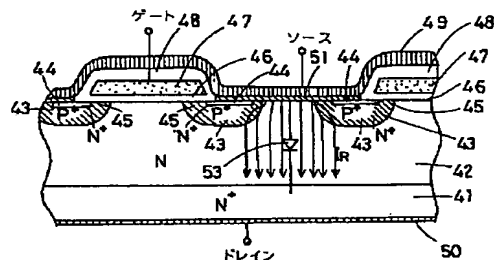
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 逆回復時間が短くするためにライフタイム制御を行う必要がなく、しかも耐圧性にも支障の生じないダイオードを内蔵する半導体装置を提供することにある。

【構成】 パワースイッチングデバイスにおいて、第1導電型であるNドリフト領域42表面にバリヤメタル51を形成することによりショットキー接合部が形成され、且つ前記バリヤメタル51は前記Nドリフト領域42の表面に選択的に形成された第2導電型であるP⁺ウェル領域43が対向する位置に形成されていることを特徴としている。

【効果】 誘導性負荷の場合に流れる環流電流を流すためのフリーホイールダイオードを半導体装置の外部に外付けする必要がなくなるという効果を奏する。



41: N⁺ドレイン領域
42: Nドリフト領域
43: P⁺ウェル領域
44: N⁺ソース領域
45: チャンネル領域
46: ゲート絶縁膜
47: ゲート電極
48: 絶縁膜
49: ソース電極
50: ドレイン電極
51: バリヤメタル

【特許請求の範囲】

【請求項1】 少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層と第2の半導体領域に挟まれた第1の半導体領域内に規定されたチャネル領域と、このチャネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、を備える半導体装置において、前記基板の第2の半導体層の表面で且つ対向する前記第1の半導体領域の間に、第2の半導体層と接触するパライメタル層が形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、特にモータ駆動用インバータ回路等の誘導負荷回路に用いられるパワーMOSFET、コレクタ短絡型IGBT（絶縁ゲート型バイポーラトランジスタ）等のパワースイッチングデバイス内に逆回復時間の短いダイオードを作り込むための改善に関する。

【0002】

【従来の技術】 図10は、パワーMOSFETを用いたモータ駆動用の従来のハーフブリッジ回路を示す回路図である。図において、正、負電源端子5、6間に、パワーMOSFET1、2およびパワーMOSFET3、4がそれぞれトータムボール接続されている。正、負電源端子5、6間にはまた、コンデンサ7が接続されている。モータ8は、パワーMOSFET1、2の接続点とパワーMOSFET3、4の接続点との間に接続されている。パワーMOSFET1～4にはそれぞれ、フリーホイールダイオード9～12が並列に接続されている。パワーMOSFET1～4はそれぞれ、ゲート端子13～16に印加される制御電圧によってオン／オフが制御される。

【0003】 いま、FET1、4がオン状態であるとすると、電源電流 I_1 がモータ8に流れる。次にFET1がオフすると、還流電流 I_2 がフリーホイールダイオード10を通じて流れる。そして、FET4をオフさせるとともにFET2、3をオンさせることにより、電源電流 I_1 と逆向きの電源電流がモータ8に流れる。この電源電流が流れる時点でフリーホイールダイオード10は逆回復過程に入り、蓄積された過剰キャリアが外部に掃き出されることによりオフする。

【0004】 フリーホイールダイオード9～12の逆回復時間が長いとスイッチング損失が大きく効率が悪くなる。このため、一般に、フリーホイールダイオード9～12として外付けの高速リカバリーダイオードを用い、逆回復時間を短くすることが行われている。一方、MO

SFETではその構造上、素子内部にダイオードが寄生的に形成されており、このダイオードをフリーホイールダイオードとして用いる試みが従来より行われている。

【0005】 図11は、従来の縦型nチャネルMOSFETの構造を示す断面図である。図において、 N^+ ドレイン領域21上に N （あるいは N^- ）ドリフト領域22が形成され、このドリフト領域22の表面に P^+ ウェル領域23が形成されている。 P^+ ウェル領域23の表面には N^+ ソース領域24が形成され、この N^+ ソース領域24の表面とドリフト領域22の表面とで挟まれた P^+ ウェル領域23の表面近傍の領域25がチャネル領域となる。チャネル領域25上にはゲート絶縁膜26を介してゲート電極27が形成され、その上を絶縁膜28で覆ってゲート電極27を絶縁している。そして表面全面に、 N^+ ソース領域24および P^+ ウェル領域23に接続するソース電極29が設けられている。また N^+ ドレイン領域21の裏面にはドレイン電極30が設けられている。

【0006】 図11のMOSFETでは、ゲート電極27に正電圧が印加されると、チャネル領域25が N 型に反転して反転層が形成され、この反転層を通して図示のようにドレイン電極30からソース電極29にドレイン電流 I_D が流れる。ゲート電極27に負電圧が印加されるとチャネル領域25の反転層は消滅し、MOSFETはオフする。

【0007】 図11のMOSFETは、 P^+ ウェル領域23、 N ドリフト領域22および N^+ ドレイン領域21より形成される P^+IN^+ ダイオード31を寄生的に含んでいる。したがって、このダイオード31を図10のフリーホイールダイオード9～12として使うことが可能である。図11中、 I_R は還流電流の流れを示している。

【0008】 図12は、従来のコレクタ短絡型IGBTの構造を示す断面図である。このコレクタ短絡型IGBTは、図11の N^+ ドレイン領域21に代え、交互に配置された P^+ コレクタ領域32および N^+ コレクタ短絡領域33が N ドリフト領域22の裏面に設けられる点を除き、図11のMOSFETと同様の構造を有している。そして、図11のダイオード31と同様な P^+IN^+ ダイオード34が、 P^+ ウェル領域23、 N ドリフト領域22および N^+ コレクタ短絡領域33により寄生的に形成されている。したがって、図10のパワーMOSFET1～4に代えて図7のコレクタ短絡型IGBTを用いる場合にも、ダイオード34をフリーホイールダイオード9～12として用いることが可能である。

【0009】

【発明が解決しようとする課題】 図11のダイオード31や図12のダイオード34をフリーホイールダイオード9～12として用いると、外付けのダイオードをフリーホイールダイオード9～12として別途設ける必要が

なくなる利点があるため、そのような試みは従来より行われてきた。しかしながら、ダイオード31、34をフリーホイールダイオードとして用いるためには、ダイオード31、34の逆回復時間が極めて短くなければならない。したがって、過剰少数キャリアのライフタイムを短くするために、重金属拡散や電子線照射等のライフタイム制御を行う必要がある。

【0010】そのようなライフタイム制御は、ドリフト層22内のキャリアのライフタイムを短くするものであり、通常動作におけるオン状態でのドリフト層22での電圧降下の増大（すなわちオン電圧の増大）を招くため、十分な最適化が必要である。また、重金属拡散によるもれ電流の増大や、電子線照射による閾値電圧の変動等、ライフタイム制御がオン電圧以外にも素子の電気的特性に大きな影響を及ぼすことが知られており、このようなことをも考慮した上でライフタイム制御を行わなければならない。したがって、素子の電気的特性を良好に保ったままライフタイム制御によりダイオード31やダイオード34の逆回復時間を十分に低下させることは極めて困難であり、結局は、十分な高速性が得られないために、外付けのフリーホイールダイオードを付加せざるを得ないという問題点があった。

【0011】この発明は上記のような問題点を解消するためになされたもので、ライフタイム制御なしでも十分に逆回復時間の短いダイオードを内蔵し、しかも高耐圧用途にも適用可能な半導体装置を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係わる半導体装置は、少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層と第2の半導体領域に挟まれた第1の半導体領域内に規定されたチャンネル領域と、このチャンネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、を備える半導体装置において、前記基板の第2の半導体層の表面で且つ前記対向する第1の半導体領域の間に、第2の半導体層と接触するバリヤメタル層が形成されたものである。

【0013】

【作用】この発明による半導体装置は、バリヤメタル層と第2半導体層によるショットキー接合部を内蔵する。このショットキー接合部は、多数キャリアの移動に対して整流作用をもつショットキーバリヤダイオードを構成する。このショットキーバリヤダイオードは、半導体装置の本体部がターンオフした時、誘導性負荷の場合に一時的に順バイアス状態となり、いわゆる環流電流を流す

ことができる。ショットキー接合部を流れる電流は基本的に多数キャリアによって担われるため、前記環流電流も主に多数キャリアによる電流となり、少数キャリアの蓄積は少ない。すなわち、この半導体装置には、過剰少数キャリアのライフタイムによる逆回復時間の増加が少なく、逆回復時間は極めて短いダイオードが内蔵されていることになる。

【0014】

【実施例】図1はこの発明による半導体装置の一実施例である縦型nチャネルMOSFETの構造を示す断面図であり、また図2は図1の平面図である。図1の断面図は図2の平面図のA-A'線に沿った断面構造を示している。

【0015】図1に示すように、N⁺ドレイン領域41上にN（あるいはN⁻）ドリフト領域42が形成され、このドリフト領域42の表面にP⁺ウェル領域43が形成されている。P⁺ウェル領域43は、図2の平面図より明らかなように、正方形の環状構造となっている。P⁺ウェル領域43の表面にはN⁺ソース領域44が選択的に形成され、このN⁺ソース領域44の表面とドリフト領域42の表面とで挟まれたP⁺ウェル領域43の表面近傍の領域45がチャンネル領域となる。一方、P⁺ウェル領域43の環状構造の中央部に、バリヤメタル51が配設されている。このバリヤメタル51は、P⁺ウェル領域43の環状構造の中央部においてドリフト領域42の表面に接触するとともに、前記環状構造の内部でP⁺ウェル領域43およびN⁺ソース領域44の表面に接触している。なお、図2において、52はバリヤメタル51のためのコンタクトホールである。

【0016】チャンネル領域45上にはゲート絶縁膜46を介してゲート電極47が形成され、その上を絶縁膜48で覆うことによりゲート電極47を絶縁している。そして表面全面に、バリヤメタル51に接続するソース電極49が設けられている。またN⁺ドレイン領域41の裏面にはドレイン電極50が設けられている。

【0017】図1のMOSFETの基本的な動作は図6のMOSFETと同じである。すなわち、ゲート電極47に正電圧を印加すると、チャンネル領域45がN型に反転して反転層ができ、この反転層を通じてドレイン電極50からソース電極49にドレイン電流が流れる。ゲート電極47に負電圧を印加するとチャンネル領域45の反転層は消滅し、MOSFETはオフする。

【0018】図1のMOSFETは、バリヤメタル51とNドリフト領域42の接合領域を備えており、この接合領域を備えることにより、図1に模式的に示すようないわゆるショットキーバリヤダイオード53を内蔵している。図中、I_rは、このダイオード53をフリーホイールダイオードとして用いたときの環流電流の流れを示す。前記接合領域を流れる電流は主に多数キャリアに担われた電流であり、もちろん前記環流電流I_rも多数キ

キャリアによる電流となる。すなわち、前記ダイード53の逆回復過程において、過剰の少数キャリアのライフタイムによる逆回復時間の増加は少なく、このダイード53の逆回復時間は速い。

【0019】ところで、ショットキーバリヤダイード53を構成する前記Nドリフト領域42はP⁺ウェル領域43に取り囲まれているため、ショットキーバリヤダイード53に対する順バイアス電圧が一定以上となると、P⁺ウェル領域43からNドリフト領域42にホールが注入されることとなる。したがって、Nドリフト領域42における電導度変調の効果により低いオン電圧が実現されることになる。しかも、この場合でも環流電流I₁は大部分がショットキーバリヤダイード53を介して流れる多数キャリアに担われた電流である。したがって、図11に示す従来の半導体装置のように過剰の少数キャリアの流入はなく、逆回復時間は従来の半導体装置に比べて極めて短い。

【0020】バリヤメタル51は、このバリヤメタル51よりもN⁺ドレイン領域41側に拡散し且つ互いに対向しているP⁺ウェル領域43、43の間に設けられている。このため、P⁺ウェル領域43とNドリフト領域42のPN接合に逆バイアスがかかると、P⁺ウェル領域43とNドリフト領域42の界面よりNドリフト領域42内に伸びる空乏層によるシールド効果により、バリヤメタル51の耐圧に及ぼす影響が軽減される。したがって、バリヤメタル51とNドリフト領域42によるショットキーバリヤを設けたことにより、高耐圧を実現するについて支障が生じることはない。

【0021】このように、本実施例に係る図1のMOSFETは、逆回復時間の短いダイード53を内蔵している上、高耐圧の用途においても十分に適用可能である。したがって図10のインバータ回路において、パワーMOSFET1~4として図1のMOSFETを用いることにより、外付けのフリーホイールダイード9~12が不要となる。

【0022】次に、図1のMOSFETの製造工程の一例を図3~図8を示す断面図を参照しながら説明する。

【0023】まず、図3に示すような、N⁺ドレイン領域41となるN⁺型半導体基板上に、Nドリフト領域42となるN型半導体層を形成した出発基板を準備する。

【0024】次に、図4に示すように、マスク101を用いて、Nドリフト領域42の所定位置に、ボロン等のP型不純物をイオン注入、ガス拡散等によって選択的に導入し、比較的高不純物濃度のP⁺ウェル領域43を形成する。

【0025】次に、酸化膜およびドーパドポリシリコン膜を順次形成した後、これらの膜を選択的にエッチングすることにより、図5に示すように、酸化膜でなるゲート絶縁膜16およびドーパドポリシリコン膜でなるゲート電極47を形成するとともにソース領域44形成のた

めの窓を開ける。そして、前記窓を通じてヒソ、リン等のN型不純物をイオン注入、ガス拡散等によりP⁺ウェル領域43の表面に選択的に導入することにより、N⁺ソース領域44を形成する。

【0026】次に、図6に示すように、ゲート電極47を絶縁するための絶縁膜48を全面に形成した後、これを選択的にエッチングし、P⁺ウェル領域43、N⁺ソース領域44、およびP⁺ウェル領域43に挟まれたNドリフト領域42の表面に対するコンタクトのためのコンタクトホール52を開ける。

【0027】この後、絶縁膜48を含む全面にスパッタ等によりモリブデン等の金属膜を形成し、パターニングされたレジストマスクを用いてエッチングを行うことにより、図7に示すように、上記コンタクトホール52にのみバリヤメタル51を残す。これによって、P⁺ウェル領域43の間に、バリヤメタル51とNドリフト領域42の接合面、すなわちショットキー接合部が形成される。

【0028】この後、図8に示すように、バリヤメタル51と接続する金属のソース電極49を表面に形成するとともに、金属のドレイン電極50を裏面に形成する。このようにして、図1の構造のMOSFETが得られる。

【0029】図9はこの発明による半導体装置の他の実施例であるコレクタ短絡型nチャネルIGBTの構造を示す断面図である。図において、図1のMOSFETとの相違点は、図1のN⁺ドレイン領域41に代え、交互に配置されたP⁺コレクタ領域54およびN⁺コレクタ短絡領域55がNドリフト領域42の裏面に設けられる点である。その他の構造は図1のMOSFETと同様である。なお電極49、50はそれぞれエミッタ電極、コレクタ電極となる。

【0030】図9のIGBTでは、図1のMOSFETにおけるダイード53と同様のショットキーバリヤダイード56が、バリヤメタル51とNドリフト領域42の接合部に形成されている。したがって、上述したのと同様の理由により、ダイード56の逆回復時間は短く、またこのIGBTを高耐圧の用途に適用することも容易に可能である。したがって、図10のインバータ回路において、パワーMOSFET1~4の代りに図9のIGBTを用いることにより、外付けのフリーホイールダイード9~12が不要となる。

【0031】図9のIGBTの動作において、ゲート電極47に正電圧を印加するとチャネル領域45がN型に反転して反転層ができ、この反転層を通じてコレクタ電極50からエミッタ電極49にコレクタ電流が流れる。このとき、ドリフト領域42における電導度変調の効果により、この半導体の通常動作において低いオン電圧が実現される。ゲート電極47に負電圧を印加するとチャネル領域45の反転層は消滅し、IGBTはオフする。

このとき、 N^+ コレクタ短絡領域55を通じて残留キャリアが高速に引き出されるため、速いターンオフ速度が実現される。

【0032】なお、上記実施例では、図2の平面図で示すような正方形の島状のセル構造について説明したが、この発明は正方形以外の形状の島状のセル構造やストライプのセル構造の場合などにも適用できる。ストライプセル構造では、図1や図9の断面構造が、紙面に垂直な方向にストライプ状に延設されることになる。

【0033】また、上記実施例では、 n チャネル型のMOSFETおよびIGBTについて説明したが、この発明は p チャネル型のMOSFETおよびIGBTにも適用できることは勿論である。

【0034】

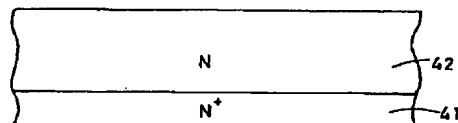
【発明の効果】以上説明したように、この発明による半導体装置は、誘導負荷回路に用いられた場合に、半導体装置の本体部がターンオフしたとき多数キャリアによる環流電流を流すことができることの逆回復時間の短いダイオードを内蔵しているから、前記環流電流を流すためのフリーホイールダイオードを外付けする必要をなくすることができるという効果を奏する。また、この半導体装置は前記ダイオードに逆バイアスがかかったときには、第1の半導体領域から第2の半導体層への空乏層の広がりによるシールド効果により、ショットキー接合部の耐圧に及ぼす影響が軽減され、高耐圧を実現することが可能になる。このように、この発明によれば、ライフタイム制御なしでも十分に逆回復時間の短いダイオードを内蔵した高耐圧用途に適用可能な半導体装置を実現できるという効果がある。

【図面の簡単な説明】

【図1】この発明による半導体装置の一実施例であるMOSFETの構造を示す断面図である。

【図2】図1のMOSFETの平面構造を示す平面図である。

【図3】



ある。

【図3】図1のMOSFETの製造工程を示す断面図である。

【図4】図1のMOSFETの製造工程を示す断面図である。

【図5】図1のMOSFETの製造工程を示す断面図である。

【図6】図1のMOSFETの製造工程を示す断面図である。

【図7】図1のMOSFETの製造工程を示す断面図である。

【図8】図1のMOSFETの製造工程を示す断面図である。

【図9】この発明による半導体装置の他の実施例であるコレクタ短絡型のIGBTの構造を示す断面図である。

【図10】従来のハーフブリッジ回路を示す回路図である。

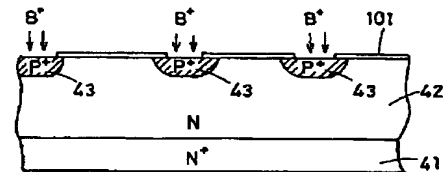
【図11】従来のMOSFETの構造を示す断面図である。

【図12】従来のコレクタ短絡型のIGBTの構造を示す断面図である。

【符号の説明】

- 41 N^+ ドレイン領域
- 42 N ドリフト領域
- 43 P^+ ウェル領域
- 44 N^+ ソース領域
- 45 チャネル領域
- 46 ゲート絶縁膜
- 47 ゲート電極
- 48 絶縁膜
- 49 ソース電極
- 50 ドレイン電極
- 51 パリヤメタル

【図4】

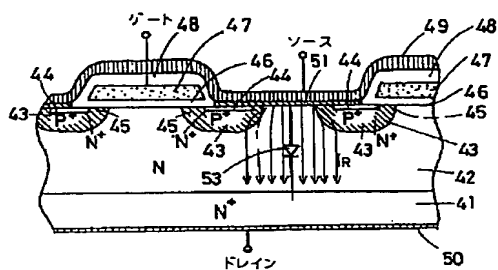


(6)

(6)

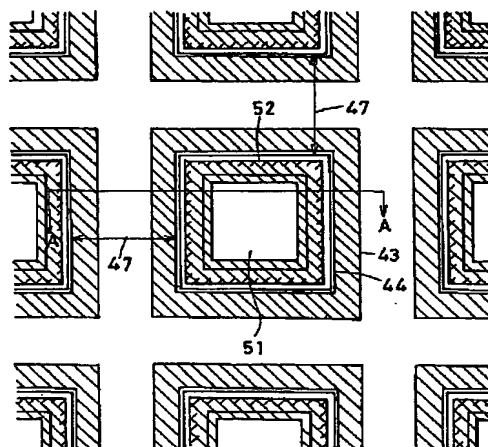
特開平4-261065

【図1】

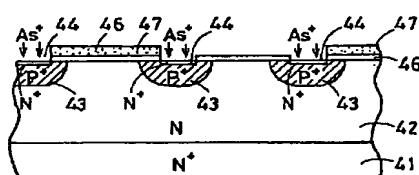


- 41: N⁺ドレイン領域
 42: Nドリフト領域
 43: P⁺ウェル領域
 44: N⁺ソース領域
 45: チャンネル領域
 46: ゲート絶縁膜
 47: ゲート電極
 48: 絶縁膜
 49: ソース電極
 50: ドレイン電極
 51: ピラミダル

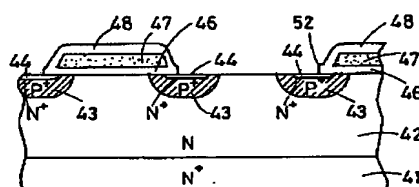
【図2】



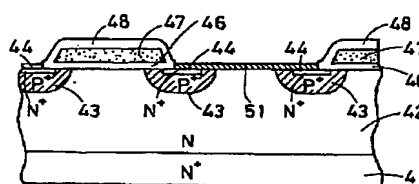
【図5】



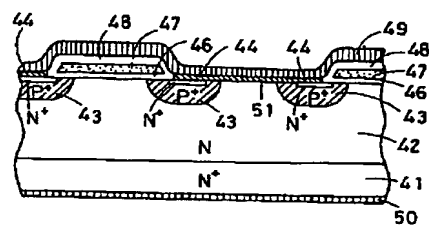
【図6】



【図7】



【図8】

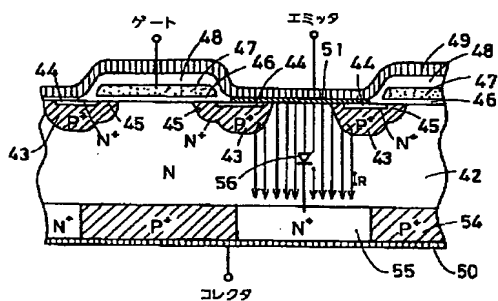


(7)

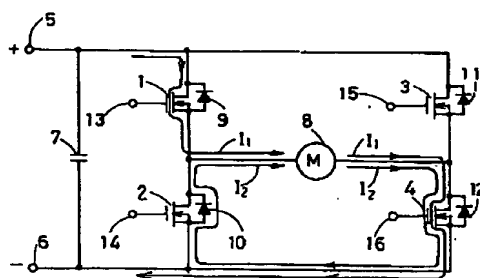
(7)

特開平4-261065

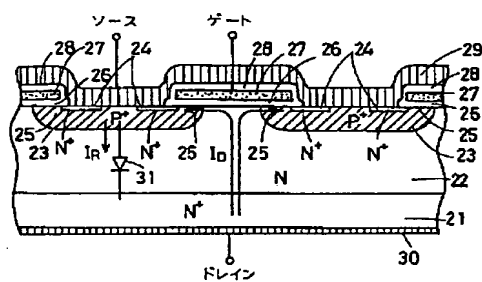
【図9】



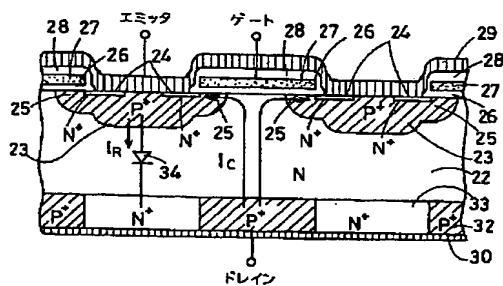
【図10】



【図11】



【図12】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成9年（1997）3月7日

【公開番号】特開平4—261065

【公開日】平成4年（1992）9月17日

【年通号数】公開特許公報4—2611

【出願番号】特願平3—9159

【国際特許分類第6版】

H01L 29/78

【F I】

H01L 29/78 652 L 9055-4M

655 D 9055-4M

【手続補正書】

【提出日】平成8年2月19日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層と第2の半導体領域に挟まれた第1の半導体領域内に規定されたチャンネル領域と、このチャンネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第2の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第2の半導体層の少なくとも一部に、当該第2の半導体層と接触するバリヤメタル層が形成されており、前記主電極が前記バリヤメタル層の上にも形成されていることを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【課題を解決するための手段】この発明に係わる半導体装置は、少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域

と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層と第2の半導体領域に挟まれた第1の半導体領域内に規定されたチャンネル領域と、このチャンネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第2の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第2の半導体層の少なくとも一部に、当該第2の半導体層と接触するバリヤメタル層が形成されており、前記主電極が前記バリヤメタル層の上にも形成されたものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】図1に示すように、N⁺ ドレイン領域41上にN（あるいはN⁻）ドリフト領域42が形成され、このドリフト領域42の表面にP⁺ ウェル領域43が形成されている。P⁺ ウェル領域43は、図2の平面図より明らかなように、正方形の環状構造となっている。P⁺ ウェル領域43の表面にはN⁺ ソース領域44が選択的に形成され、このN⁺ ソース領域44の表面とドリフト領域42の表面とで挟まれたP⁺ ウェル領域43の表面近傍の領域45がチャンネル領域となる。一方、P⁺ ウェル領域43の環状構造の中央部に、バリヤメタル51が配設されている。このバリヤメタル51は、P⁺ ウェル領域43の環状構造の中央部においてドリフト領域42の表面に接触するとともに、前記環状構造の内部でP⁺ ウェル領域43およびN⁺ ソース領域44の表面に接触している。なお、図2において、52はソースコンタクトホール領域であり、領域全面にバリヤメタル51が敷かれ、さらにその上にソース電極が配線される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】 0017

【補正方法】 変更

【補正内容】

【0017】 図1のMOSFETの基本的な動作は図6のMOSFETと同じである。すなわち、ゲート電極47に正電圧を印加すると、チャネル領域45がN型に反転して反転層ができ、この反転層を通じてドレイン電極50からソース電極49にドレイン電流が流れる。ゲート電極47の印加電圧をしきい値電圧以下にするとチャネル領域45の反転層は消滅し、MOSFETはオフする。

【手続補正5】

【補正対象書類名】 明細書

【補正対象項目名】 0020

【補正方法】 変更

【補正内容】

【0020】 バリヤメタル51は、図2にも示すように、P⁺ ウェル拡散領域43に囲まれた中央の狭い領域に設けられている。このため、P⁺ ウェル領域43とNドリフト領域42のPN接合に逆バイアスがかかると、P⁺ ウェル領域43とNドリフト領域42の界面よりNドリフト領域42内に伸びる空乏層によるシールド効果により、バリヤメタル51の耐圧に及ぼす影響が軽減される。したがって、バリヤメタル51とNドリフト領域42によるショットキーバリヤを設けたことにより、高耐圧を実現するについて支障が生じることはない。

【手続補正6】

【補正対象書類名】 明細書

【補正対象項目名】 0028

【補正方法】 変更

【補正内容】

【0028】 この後、図8に示すように、バリヤメタル51と接続する金属のソース電極49を表面に形成するとともに、金属のドレイン電極50を裏面に形成する。このようにして、図1の構造のMOSFETが得られる。特に、ショットキー接合部が半導体基板の主面内に形成されるので、ショットキー接合部を形成するための工程が簡単であり、製造コストが低廉であるという利点がある。

【手続補正7】

【補正対象書類名】 明細書

【補正対象項目名】 0034

【補正方法】 変更

【補正内容】

【0034】

【発明の効果】 以上説明したように、この発明による半導体装置は、誘導負荷回路に用いられた場合に、半導体装置の本体部がターンオフしたとき多数キャリアによる環流電流を流すことができることの逆回復時間の短い

ダイオードを内蔵しているから、前記環流電流を流すためのフリーホイールダイオードを外付けする必要をなくすることができるという効果を奏する。また、この半導体装置は前記ダイオードに逆バイアスがかかったときには、第1の半導体領域から第2の半導体層への空乏層の広がりによるシールド効果により、ショットキー接合部の耐圧に及ぼす影響が軽減され、高耐圧を実現することが可能になる。このように、この発明によれば、ライフタイム制御なしでも十分に逆回復時間の短いダイオードを内蔵した高耐圧用途に適用可能な半導体装置を実現できるという効果がある。さらに、ショットキー接合部が半導体基板の主面内に形成されているので、製造が容易であり、製造コストが低廉であるという利点がある。

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 請求項1

【補正方法】 変更

【補正内容】

【請求項1】 少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層と第2の半導体領域に挟まれた第1の半導体領域内に規定されたチャネル領域と、このチャネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第2の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第2の半導体層の少なくとも一部に、当該第2の半導体層と接触するバリヤメタル層が形成されており、前記主電極が前記バリヤメタル層の上にも形成されていることを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】 明細書

【補正対象項目名】 0012

【補正方法】 変更

【補正内容】

【0012】

【課題を解決するための手段】 この発明に係わる半導体装置は、少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層

と第 2 の半導体領域に挟まれた第 1 の半導体領域内に規定されたチャネル領域と、このチャネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第 2 の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第 2 の半導体層の少なくとも一部に、当該第 2 の半導体層と接触するバリヤメタル層が形成されており、前記主電極が前記バリヤメタル層の上にも形成されたものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】図 1 に示すように、 N^+ ドレイン領域 41 上に N (あるいは N^-) ドリフト領域 42 が形成され、このドリフト領域 42 の表面に P^+ ウェル領域 43 が形成されている。 P^+ ウェル領域 43 は、図 2 の平面図より明かなように、正方形の環状構造となっている。 P^+ ウェル領域 43 の表面には N^+ ソース領域 44 が選択的に形成され、この N^+ ソース領域 44 の表面とドリフト領域 42 の表面とで挟まれた P^+ ウェル領域 43 の表面近傍の領域 45 がチャネル領域となる。一方、 P^+ ウェル領域 43 の環状構造の中央部に、バリヤメタル 51 が配設されている。このバリヤメタル 51 は、 P^+ ウェル領域 43 の環状構造の中央部においてドリフト領域 42 の表面に接触するとともに、前記環状構造の内部で P^+ ウェル領域 43 および N^+ ソース領域 44 の表面に接触している。なお、図 2 において、52 はソースコンタクトホール領域であり、領域全面にバリヤメタル 51 が敷かれ、さらにその上にソース電極が配線される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】図 1 の MOSFET の基本的な動作は図 6 の MOSFET と同じである。すなわち、ゲート電極 47 に正電圧を印加すると、チャネル領域 45 が N 型に反転して反転層ができ、この反転層を通じてドレイン電極 50 からソース電極 49 にドレイン電流が流れる。ゲート電極 47 の印加電圧をしきい値電圧以下にするとチャネル領域 45 の反転層は消滅し、MOSFET はオフする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】バリヤメタル 51 は、図 2 にも示すように、 P^+ ウェル拡散領域 43 に囲まれた中央の狭い領域に設けられている。このため、 P^+ ウェル領域 43 と N ドリフト領域 42 の PN 接合に逆バイアスがかかると、 P^+ ウェル領域 43 と N ドリフト領域 42 の界面より N ドリフト領域 42 内に伸びる空乏層によるシールド効果により、バリヤメタル 51 の耐圧に及ぼす影響が軽減される。したがって、バリヤメタル 51 と N ドリフト領域 42 によるショットキーバリヤを設けたことにより、高耐圧を実現するについて支障が生じることはな

い。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】この後、図 8 に示すように、バリヤメタル 51 と接続する金属のソース電極 49 を表面に形成するとともに、金属のドレイン電極 50 を裏面に形成する。このようにして、図 1 の構造の MOSFET が得られる。特に、ショットキー接合部が半導体基板の主面内に形成されるので、ショットキー接合部を形成するための工程が簡単であり、製造コストが低廉であるという利点がある。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】

【発明の効果】以上説明したように、この発明による半導体装置は、誘導負荷回路に用いられた場合に、半導体装置の本体部がターンオフしたとき多数キャリアによる環流電流を流すことができる場所の逆回復時間の短いダイオードを内蔵しているから、前記環流電流を流すためのフリーホイールダイオードを外付けする必要をなくすることができるという効果を奏する。また、この半導体装置は前記ダイオードに逆バイアスがかかったときには、第 1 の半導体領域から第 2 の半導体層への空乏層の広がりによるシールド効果により、ショットキー接合部の耐圧に及ぼす影響が軽減され、高耐圧を実現することが可能になる。このように、この発明によれば、ライフタイム制御なしでも十分に逆回復時間の短いダイオードを内蔵した高耐圧用途に適用可能な半導体装置を実現できるという効果がある。さらに、ショットキー接合部が半導体基板の主面内に形成されているので、製造が容易であり、製造コストが低廉であるという利点がある。

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 10 年（1998）11 月 13 日

【公開番号】特開平 4—261065

【公開日】平成 4 年（1992）9 月 17 日

【年通号数】公開特許公報 4—2611

【出願番号】特願平 3—9159

【国際特許分類第 6 版】

H01L 29/78

【F I】

H01L 29/78 652 L

655 D

【手続補正書】

【提出日】平成 8 年 2 月 19 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 1

【補正方法】変更

【補正内容】

【請求項 1】 少なくとも一部が第 1 導電型である第 1 の半導体層とこの第 1 の半導体層の上に形成された第 1 導電型の第 2 の半導体層とからなる基板と、この基板の主表面に選択的に形成された第 2 導電型の第 1 の半導体領域と、この第 1 の半導体領域の表面に選択的に形成された第 1 導電型の第 2 の半導体領域と、前記第 2 の半導体層と第 2 の半導体領域に挟まれた第 1 の半導体領域内に規定されたチャネル領域と、このチャネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第 2 の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第 2 の半導体層の少なくとも一部に、当該第 2 の半導体層と接触するバリアメタル層が形成されており、前記主電極が前記バリアメタル層の上にも形成されていることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【課題を解決するための手段】この発明に係わる半導体装置は、少なくとも一部が第 1 導電型である第 1 の半導体層とこの第 1 の半導体層の上に形成された第 1 導電型の第 2 の半導体層とからなる基板と、この基板の主表面に選択的に形成された第 2 導電型の第 1 の半導体領域

と、この第 1 の半導体領域の表面に選択的に形成された第 1 導電型の第 2 の半導体領域と、前記第 2 の半導体層と第 2 の半導体領域に挟まれた第 1 の半導体領域内に規定されたチャネル領域と、このチャネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第 2 の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第 2 の半導体層の少なくとも一部に、当該第 2 の半導体層と接触するバリアメタル層が形成されており、前記主電極が前記バリアメタル層の上にも形成されたものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】図 1 に示すように、N⁺ ドレイン領域 41 上に N（あるいは N⁻）ドリフト領域 42 が形成され、このドリフト領域 42 の表面に P⁺ ウェル領域 43 が形成されている。P⁺ ウェル領域 43 は、図 2 の平面図より明らかなように、正方形の環状構造となっている。P⁺ ウェル領域 43 の表面には N⁺ ソース領域 44 が選択的に形成され、この N⁺ ソース領域 44 の表面とドリフト領域 42 の表面とで挟まれた P⁺ ウェル領域 43 の表面近傍の領域 45 がチャネル領域となる。一方、P⁺ ウェル領域 43 の環状構造の中央部に、バリアメタル 51 が配設されている。このバリアメタル 51 は、P⁺ ウェル領域 43 の環状構造の中央部においてドリフト領域 42 の表面に接触するとともに、前記環状構造の内部で P⁺ ウェル領域 43 および N⁺ ソース領域 44 の表面に接触している。なお、図 2 において、52 は ソースコンタクトホール領域であり、領域全面にバリアメタル 51 が敷かれ、さらにその上にソース電極が配線される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】 0017

【補正方法】 変更

【補正内容】

【0017】 図1のMOSFETの基本的な動作は図6のMOSFETと同じである。すなわち、ゲート電極47に正電圧を印加すると、チャネル領域45がN型に反転して反転層ができ、この反転層を通じてドレイン電極50からソース電極49にドレイン電流が流れる。ゲート電極47の印加電圧をしきい値電圧以下にするとチャネル領域45の反転層は消滅し、MOSFETはオフする。

【手続補正5】

【補正対象書類名】 明細書

【補正対象項目名】 0020

【補正方法】 変更

【補正内容】

【0020】 バリヤメタル51は、図2にも示すように、P⁺ ウェル拡散領域43に囲まれた中央の狭い領域に設けられている。このため、P⁺ ウェル領域43とNドリフト領域42のPN接合に逆バイアスがかかると、P⁺ ウェル領域43とNドリフト領域42の界面よりNドリフト領域42内に伸びる空乏層によるシールド効果により、バリヤメタル51の耐圧に及ぼす影響が軽減される。したがって、バリヤメタル51とNドリフト領域42によるショットキーバリヤを設けたことにより、高耐圧を実現するについて支障が生じることはない。

【手続補正6】

【補正対象書類名】 明細書

【補正対象項目名】 0028

【補正方法】 変更

【補正内容】

【0028】 この後、図8に示すように、バリヤメタル51と接続する金属のソース電極49を表面に形成するとともに、金属のドレイン電極50を裏面に形成する。このようにして、図1の構造のMOSFETが得られる。特に、ショットキー接合部が半導体基板の主面内に形成されるので、ショットキー接合部を形成するための工程が簡単であり、製造コストが低廉であるという利点がある。

【手続補正7】

【補正対象書類名】 明細書

【補正対象項目名】 0034

【補正方法】 変更

【補正内容】

【0034】

【発明の効果】 以上説明したように、この発明による半導体装置は、誘導負荷回路に用いられた場合に、半導体装置の本体部がターンオフしたとき多数キャリアによる環流電流を流すことができることの逆回復時間の短い

ダイオードを内蔵しているから、前記環流電流を流すためのフリーホイールダイオードを外付けする必要をなくすることができるという効果を奏する。また、この半導体装置は前記ダイオードに逆バイアスがかかったときには、第1の半導体領域から第2の半導体層への空乏層の広がりによるシールド効果により、ショットキー接合部の耐圧に及ぼす影響が軽減され、高耐圧を実現することが可能になる。このように、この発明によれば、ライフタイム制御なしでも十分に逆回復時間の短いダイオードを内蔵した高耐圧用途に適用可能な半導体装置を実現できるという効果がある。さらに、ショットキー接合部が半導体基板の主面内に形成されているので、製造が容易であり、製造コストが低廉であるという利点がある。

【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 請求項1

【補正方法】 変更

【補正内容】

【請求項1】 少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層と第2の半導体領域に挟まれた第1の半導体領域内に規定されたチャネル領域と、このチャネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第2の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第2の半導体層の少なくとも一部に、当該第2の半導体層と接触するバリヤメタル層が形成されており、前記主電極が前記バリヤメタル層の上にも形成されていることを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】 明細書

【補正対象項目名】 0012

【補正方法】 変更

【補正内容】

【0012】

【課題を解決するための手段】 この発明に係わる半導体装置は、少なくとも一部が第1導電型である第1の半導体層とこの第1の半導体層の上に形成された第1導電型の第2の半導体層とからなる基板と、この基板の主表面に選択的に形成された第2導電型の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第1導電型の第2の半導体領域と、前記第2の半導体層

と第2の半導体領域に挟まれた第1の半導体領域内に規定されたチャネル領域と、このチャネル領域上に形成された絶縁膜と、この絶縁膜上に形成されたゲート電極と、前記主表面内の前記第2の半導体領域の少なくとも一部に接続された主電極と、を備える半導体装置において、前記主表面内の前記第2の半導体層の少なくとも一部に、当該第2の半導体層と接触するバリヤメタル層が形成されており、前記主電極が前記バリヤメタル層の上にも形成されたものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】図1に示すように、 N^+ ドレイン領域41上に N （あるいは N^- ）ドリフト領域42が形成され、このドリフト領域42の表面に P^+ ウェル領域43が形成されている。 P^+ ウェル領域43は、図2の平面図より明らかなように、正方形の環状構造となっている。 P^+ ウェル領域43の表面には N^+ ソース領域44が選択的に形成され、この N^+ ソース領域44の表面とドリフト領域42の表面とで挟まれた P^+ ウェル領域43の表面近傍の領域45がチャネル領域となる。一方、 P^+ ウェル領域43の環状構造の中央部に、バリヤメタル51が配設されている。このバリヤメタル51は、 P^+ ウェル領域43の環状構造の中央部においてドリフト領域42の表面に接触するとともに、前記環状構造の内部で P^+ ウェル領域43および N^+ ソース領域44の表面に接触している。なお、図2において、52はソースコンタクトホール領域であり、領域全面にバリヤメタル51が敷かれ、さらにその上にソース電極が配線される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】図1のMOSFETの基本的な動作は図6のMOSFETと同じである。すなわち、ゲート電極47に正電圧を印加すると、チャネル領域45が N 型に反転して反転層ができ、この反転層を通じてドレイン電極50からソース電極49にドレイン電流が流れる。ゲート電極47の印加電圧をしきい値電圧以下にするとチャネル領域45の反転層は消滅し、MOSFETはオフする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】バリヤメタル51は、図2にも示すように、 P^+ ウェル拡散領域43に囲まれた中央の狭い領域に設けられている。このため、 P^+ ウェル領域43と N ドリフト領域42の PN 接合に逆バイアスがかかると、 P^+ ウェル領域43と N ドリフト領域42の界面より N ドリフト領域42内に伸びる空乏層によるシールド効果により、バリヤメタル51の耐圧に及ぼす影響が軽減される。したがって、バリヤメタル51と N ドリフト領域42によるショットキーバリヤを設けたことにより、高耐圧を実現するについて支障が生じることはない。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】この後、図8に示すように、バリヤメタル51と接続する金属のソース電極49を表面に形成するとともに、金属のドレイン電極50を裏面に形成する。このようにして、図1の構造のMOSFETが得られる。特に、ショットキー接合部が半導体基板の主面内に形成されるので、ショットキー接合部を形成するための工程が簡単であり、製造コストが低廉であるという利点がある。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】

【発明の効果】以上説明したように、この発明による半導体装置は、誘導負荷回路に用いられた場合に、半導体装置の本体部がターンオフしたとき多数キャリアによる環流電流を流すことができるものの逆回復時間の短いダイオードを内蔵しているから、前記環流電流を流すためのフリーホイールダイードを外付けする必要をなくすることができるという効果を奏する。また、この半導体装置は前記ダイオードに逆バイアスがかかったときには、第1の半導体領域から第2の半導体層への空乏層の広がりによるシールド効果により、ショットキー接合部の耐圧に及ぼす影響が軽減され、高耐圧を実現することが可能になる。このように、この発明によれば、ライフタイム制御なしでも十分に逆回復時間の短いダイオードを内蔵した高耐圧用途に適用可能な半導体装置を実現できるという効果がある。さらに、ショットキー接合部が半導体基板の主面内に形成されているので、製造が容易であり、製造コストが低廉であるという利点がある。